



4.5V~40V 宽输入电压，3A 负载电流  
同步降压转换器

## 1. 产品特性

- 输入电压范围：4.5V~40V
- 最大负载：3A
- 上下管导通电阻：110mΩ/70mΩ
- 软启保护时间 tss：1ms
- 工作频率范围：500kHz~2.5MHz
- 逐周期峰值电流限制
- 内部补偿
- 可调的输入欠压锁定
- 短路保护，过温保护

## 2. 功能描述

C42203是一款具有高转换效率的同步降压转换器。输出负载能达到3A。并且有极宽的输入电压工作范围（4.5V~40V）。集成高侧和低侧MOSFET并提供极高的转换效率。C42203采用峰值电流控制方式，工作频率范围经额外外部电阻从500kHz到2.5MHz可调。在轻载状况下此款器件具有极低的静态工作电流。

## 3. 产品应用

- 电源模块
- 模拟数字芯片供电等

## 4. 封装简介

- 本产品采用TSOT23-8封装



## 5. 绝对最大额定值

表 1 绝对最大额定值

参数	符号	最小值	最大值	单位
输入电压	$V_{IN}$	-0.3	40	V
功率损耗	$P_D$	-	2	W
引线耐焊接热	$T_H$	-	260°C, 10s	-
FB, RT, EN, RT 电压	$V_{EN}, V_{FB}, V_{EN}, V_{RT}$	-0.3	40	V
BS 电压	$V_{BS}$	-	$V_{LX}+4$	V
贮存温度	$T_{STG}$	-65	150	°C

(1) 使用中超过这些绝对最大值可能对芯片造成永久损坏。

## 6. 推荐工作条件

- 1) 输入电压 $V_{IN}$ 、 $V_{FB}$ 、 $V_{RT}$ 、 $V_{EN}$ 、 $V_{RT}$ : 4.5V~40V
- 2) 工作环境温度 ( $T_A$ ): -55°C~125°C。

## 7. 主要电参数

除非特别说明,  $V_{IN}=12V$ ,  $V_{OUT}=5V$ ,  $I_{OUT}=1A$ ,  $T_A=-55°C\sim125°C$

表 2 主要电参数

参数	符号	测试条件	最小值	典型值	最大值	单位
输入电压	$V_{IN}$	-	4.5	-	40	V
静态电流	$I_Q$	$V_{OUT}=0, V_{FB}=105\% V_{REF}$	-	-	18	uA
关机电流	$I_{SHDN}$	EN=0	-	1	2	uA
反馈电压	$V_{REF}$	-	0.592	0.6	0.608	V
反馈输入电流	$I_{FB}$	$V_{FB}=V_{CC}$	-50	-	50	nA
上管导通电阻	$R_{DS(ON)1}$	-	-	110	-	mΩ
下管导通电阻	$R_{DS(ON)2}$	-	-	70	-	mΩ
上管峰值限流点	$I_{PEAK}$	-	4	-	6.75	A
输入电压范围	$V_{IN}$	-	4.5	-	40	V
EN 上升阈值	$V_{ENH}$	-	-	-	1.5	V
EN 下降阈值	$V_{ENL}$	-	0.6	-	-	V
欠压保护上升阈值	$V_{UVLO}$	-	-	-	4.34	V
欠压保护迟滞	$V_{HYS}$	-	-	0.2	-	V
开关频率	$F_{OSC}$	$R_{RT}=200k$	-	500	-	kHz



Min ON Time	$t_{ON\ MIN}$	-	-	80	-	ns
Min OFF Time	$t_{OFF\ MIN}$	-	-	120	-	ns
过温保护点	$T_{SD}$	-	-	150	-	°C
过温保护迟滞	$T_{HYS}$	-	-	15	-	°C

## 8. 典型特性曲线

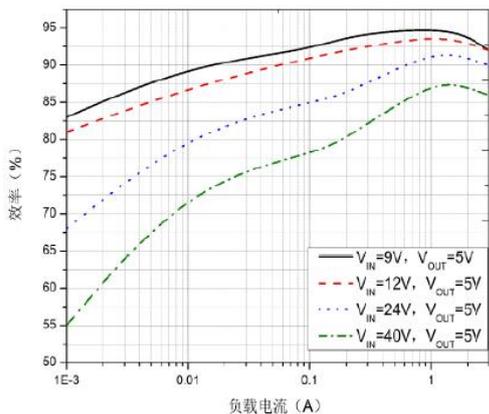


图 1 效率与负载电流变化曲线

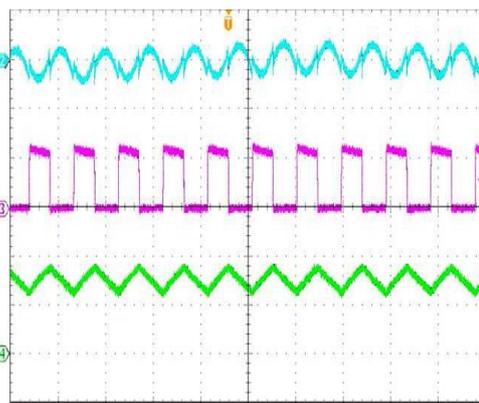


图 2 负载跳变

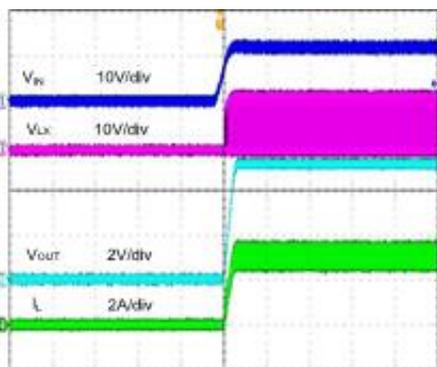


图 3 VIN 开机

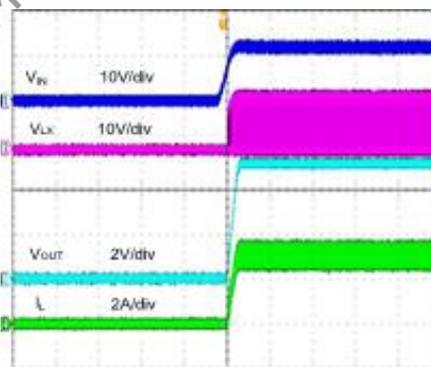


图 4 VIN 关机

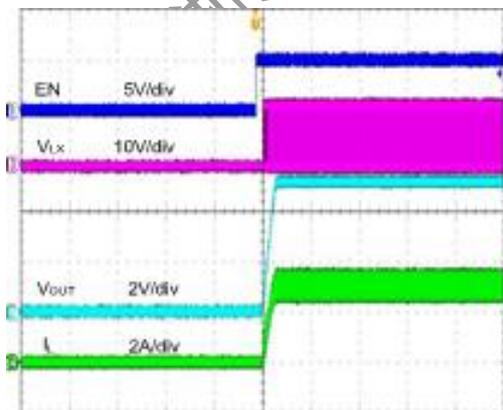


图 5 EN 开机

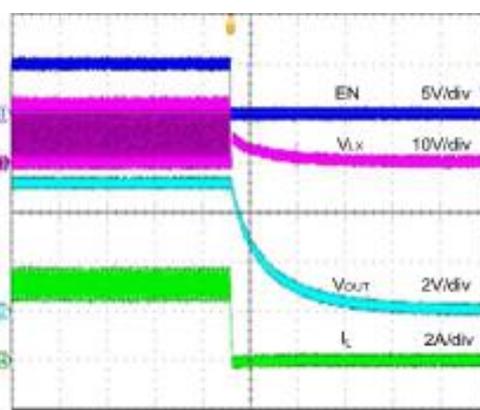


图 6 EN 关机



## 9. 功能框图及引脚介绍

### 9.1 功能框图

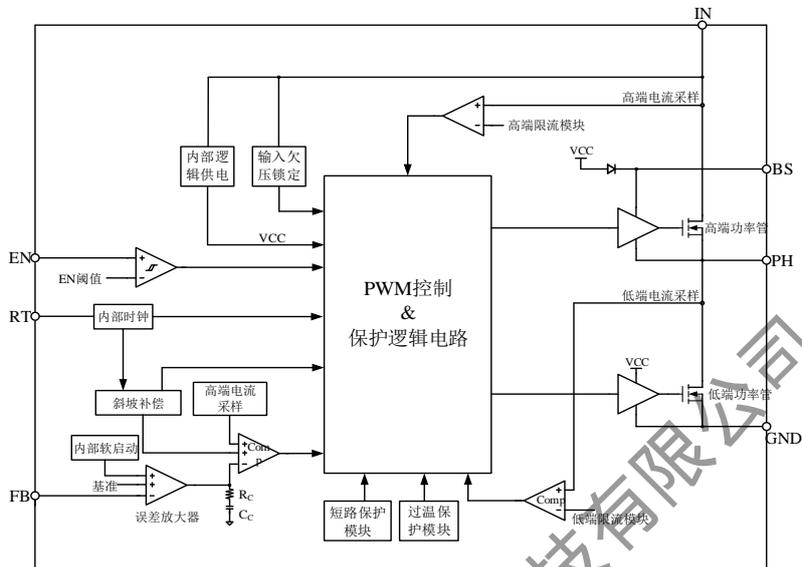


图 7 功能框图

### 9.2 引脚介绍

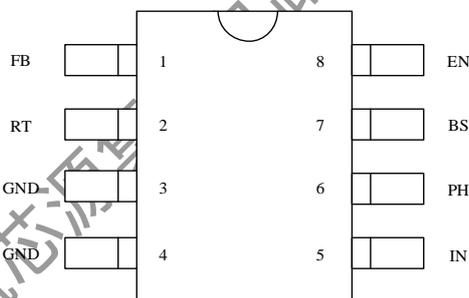


图 8 引脚分布图(顶视图)

表 3 引脚功能说明

引脚序号	引脚名称	功能说明
1	FB	电压反馈
2	RT	频率设置引脚，在该引脚和地之间放置一个电阻可在 0.5MHz~2.5MHz 进之间对芯片开关频率进行编程，计算公式为： $F_{sw}=10^5/R_{FS}$ (kHz)—— $R_{FS}$ 单位为 k $\Omega$
3, 4	GND	地
5	IN	电压输入
6	LX	感应器开关结点
7	BS	自举升压
8	EN	使能端



## 10. 应用说明

C42203 是一款高效同步降压 DC-DC 转换器，能够提供 3A 负载电流。C42203 可在 4.5V 至 40V 的宽输入电压范围内工作，并集成了主开关和同步开关，具有极低的导通电阻，可最大限度地降低传导损耗。

C42203 采用峰值电流控制方案。外部电阻使得开关频率在 500kHz 至 2.5MHz 范围内可调。该器件还具有超低静态工作特性，可在轻负载条件下实现高效率。同时内部软启动限制了上电时的浪涌电流。

由于 C42203 的高集成度，所以该芯片的应用电路相当简单。只需要为目标应用电路选择输入电容 C<sub>IN</sub>，输出电容 C<sub>OUT</sub>，输出电感 L 和反馈电阻（R<sub>1</sub> 和 R<sub>2</sub>）。

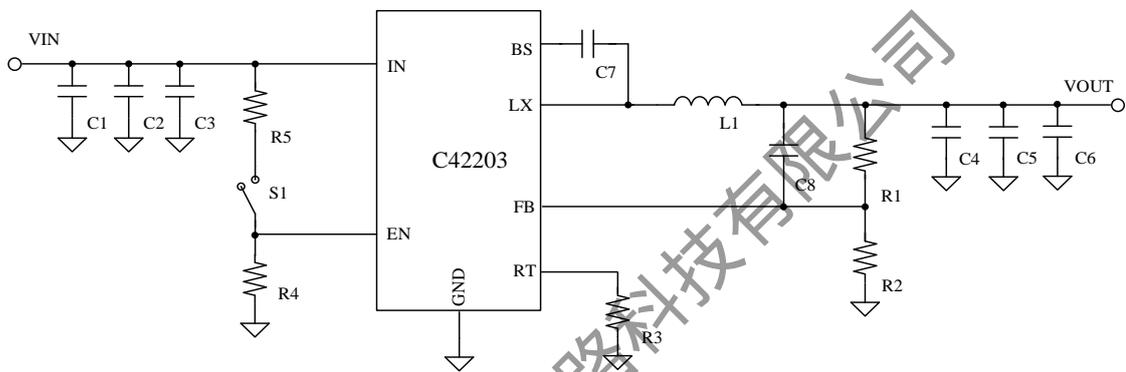


图 9 C42203 典型应用图

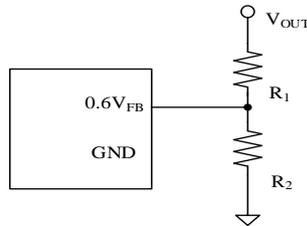
表 4 元器件清单 (V<sub>OUT</sub>=5V)

器件标号	描述	数量	数值
C1	电容	1	10μF
C2	电容	1	10μF
C3	电容	1	10nF
C4	电容	1	22μF
C5	电容	1	22μF
C6	电容	1	22μF
C7	电容	1	100nF
C8	电容	1	100pF
L1	电感	1	6.8μH
R1	电阻	1	100kΩ
R2	电阻	1	13.7kΩ
R3	电阻	1	200kΩ
R4	电阻	1	1MΩ
R5	电阻	1	10kΩ



## 10.1 反馈电阻分压器 R<sub>1</sub> 和 R<sub>2</sub>

选择 R<sub>1</sub> 和 R<sub>2</sub> 来编程正确的输出电压。为了最小化轻负载下的功耗，最好为 R<sub>1</sub> 和 R<sub>2</sub> 选择较大的电阻值。建议两个电阻的值介于 10kΩ 和 1MΩ 之间。如果 V<sub>OUT</sub> 是 3.3V，则选择 R<sub>1</sub>=100k，然后使用以下等式，R<sub>2</sub> 可以计算为 22.1k:



$$R_2 = \frac{0.6}{V_{OUT} - 0.6} R_1$$

## 10.2 输入电容 C<sub>IN</sub>

计算通过输入电容的纹波电流:

$$I_{CIN\_RMS} = I_{OUT} \cdot \sqrt{D(1-D)}$$

为了尽量减少潜在的噪声问题，将一个典型的 X7R 或更好级别的陶瓷电容放置在靠近 IN 和 GND 引脚的地方。应小心使由 C<sub>IN</sub> 和 IN / GND 引脚形成的环路面积最小化。在这种情况下，建议使用 4.7μF 的低 ESR 陶瓷电容。

## 10.3 输出电容 C<sub>OUT</sub>

选择输出电容来处理输出纹波噪声要求。选择这个电容器必须考虑稳态纹波和瞬态要求。为获得最佳性能，建议使用大于 22μF 电容的 X7R 或更好等级的陶瓷电容。

## 10.4 输出电感 L

选择该电感有几个注意事项。

- 1) 选择电感以提供所需的纹波电流。建议选择纹波电流约为最大输出电流的 40%。电感计算如下:

$$L = \frac{V_{OUT}(1 - V_{OUT}/V_{IN\_MAX})}{F_{SW} \times I_{OUT\_MAX} \times 40\%}$$

其中 F<sub>SW</sub> 是开关频率和 I<sub>OUT\_MAX</sub> 是最大负载电流。C42203 可容许不同的纹波电流幅度。因此，电感的最终选择可略微偏离计算值而不会显着影响性能。

- 2) 电感的饱和电流额定值必须大于满载条件下的峰值电感电流。

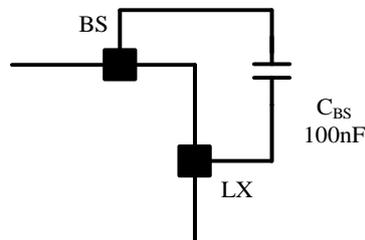
$$I_{SAT\_MIN} > I_{OUT\_MAX} + \frac{V_{OUT}(1 - V_{OUT}/V_{IN\_MAX})}{2 \cdot F_{SW} \cdot L}$$

3) 电感器的 DCR 和开关频率下的磁芯损耗必须足够低，以达到所需的效率要求。最好选择 DCR < 50mΩ 的电感器以实现良好的综合效率。



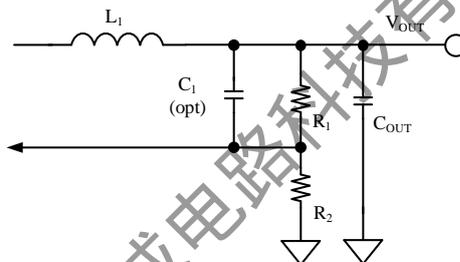
## 10.5 外部引导电容

该电容为内部高端 MOSFET 提供栅极驱动电压。建议在 BS 引脚和 LX 引脚之间连接一个 10nF 低 ESR 陶瓷电容。



## 10.6 加载瞬态注意事项

C42203 稳压器集成了补偿元件，可实现良好的稳定性和快速瞬态响应。在某些应用中，添加与 R1 并联的陶瓷电容可以进一步加快负载瞬态响应，建议用于具有大负载瞬态响应要求的应用。



## 10.7 布板设计

C42203 稳压器的布局设计比较简单。为了获得最佳的效率和最小的噪声问题，我们应将以下组件放置在 IC 附近：CIN，L，R1 和 R2。

- 1) 尽可能最大化地连接到 GND 引脚的 PCB 铜区域，以获得最佳的散热和噪声性能。如果电路板空间允许的话，可取一个地平线。
- 2) CIN 必须靠近引脚 IN 和 GND。CIN 和 GND 形成的环路面积尽量要小。
- 3) 与 LX 引脚相关的 PCB 铜区域尽量要小，以避免潜在的噪声问题。
- 4) 元件 R1 和 R2 以及连接到 FB 引脚的走线不得与 PCB 布局上的 LX 网相邻，以避免噪声问题。
- 5) 如果与 EN 引脚接口的系统芯片在关断模式下具有高阻抗状态，并且 IN 引脚直接连接至锂离子电池等电源，则需要在 EN 和 GND 引脚之间增加一个 1MΩ 的下拉电阻以防止在关机模式下错误导通稳压器产生的噪声。



## 11. 芯片外形尺寸

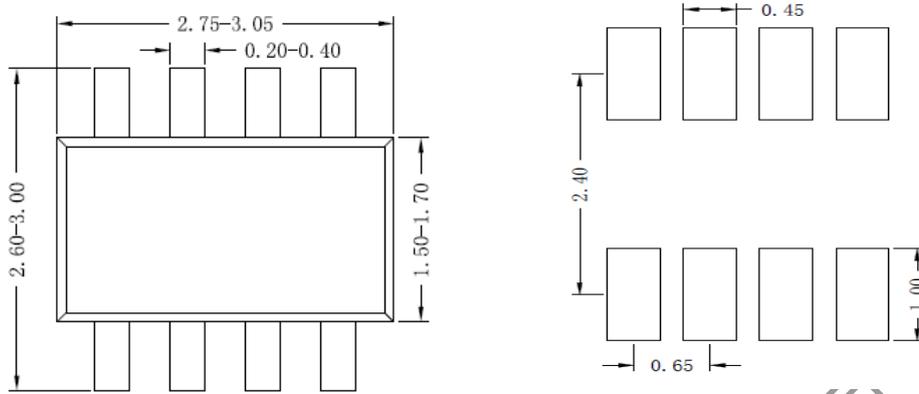


图 10 顶视图

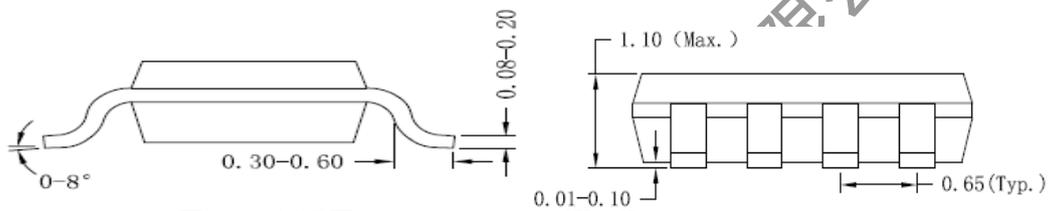


图 11 侧视图



## 12. 版本说明

产品型号	编制时间	版本编号	修订记录
C42203	2021.10.14	Rev.1	初始版本
C42203	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司