



## 50Mbps 速率，32bit 抗辐射串并转换控制芯片

### 1. 产品特性

- 可将 32bit 带地址码的串行数据转换为 28bit 并行数据
- 二级缓存数据存储结构
- 内置自检电路
- 可通过 4 位可配置的地址码对芯片进行编号
- 内置 2 位反相器、2 位与门输出及 2 位负压 PIN 驱动器
- 最高支持 50Mbps 串口速率
- 支持并联调试
- 总剂量 (TID) 耐受:  $\geq 100\text{krad}(\text{si})$
- 单粒子锁定及烧毁对线性能量传输 (LET) 的抗干扰度:  $\geq 75\text{MeV}\cdot\text{cm}^2/\text{mg}$

### 2. 功能描述

串并转换控制芯片 C49036RH 的功能是将 32bit 带地址码的串行数据转换为 28bit 并行数据。芯片采用二级缓存数据存储结构，使多个芯片的数据可以分时写入，同步刷新。芯片包含 4 组 1 级寄存器，可以通过寄存器地址位 C0/C1 快速切换，实现多种不同配置的不同切换。SDOUT 引脚具备三态输出，可方便系统并联调试。芯片内置自检电路，在 LD 引脚为高电平期间，通过 ZTO 引脚输出包含包头和包尾的 28BIT 自检数据。

芯片内可通过 4 位可配置的地址码对芯片进行编号，仅当输入数据与地址码一致时，芯片数据才可进行锁存。芯片内置 MODE 选择功能，可屏蔽地址位信息。芯片含受 FIN1 与 FIN2 控制的 2 位反相器，2 位与门输出及 2 位负压 PIN 驱动器。芯片最高支持 50Mbps 串口速率。

### 3. 产品应用

- GaAs FET 供电
- 移相器
- 衰减器

### 4. 裸芯片/封装简介

- 裸芯片尺寸:  $3100 \times 3100 \mu\text{m}^2$  (含划片槽尺寸)



## 5. 绝对最大额定值

表 1 绝对最大额定值

符号	参数	数值	单位
$V_{CC}$	正电源电压	7	V
$V_{EE}$	负电源电压	-7	V
$V_{IH}$	输入高电平电压	7	V
$V_{IL}$	输入低电平电压	-0.3	V
$T_{STG}$	储存温度	-65~150	°C
$T_A$	工作温度	-55~125	°C

- (1) 使用中超过这些绝对最大值可能对芯片造成永久损坏。

## 6. 推荐工作条件

- 1) 正电源电压 $V_{CC}$ : 5V
- 2) 负电源电压 $V_{EE}$ : -5V
- 3) 输入高电平电压 $V_{IH}$ : 5V
- 4) 输入低电平电压 $V_{IL}$ : 0V
- 5) 工作环境温度 $T_A$ : -55~125°C
- 6) 贮存温度 $T_{STG}$ : -65~150°C

## 7. 主要电参数

除非另有说明,  $V_{CC}=5V$ ,  $T_A=-55^{\circ}C\sim 125^{\circ}C$

表 2 主要电参数

参数	符号	测试条件	最小值	最大值	单位
VCC 静态电流	$I_{VCC}$	$V_{CC}=+5V, I_{OUT}=0A$	—	1.5	mA
VEE 静态电流	$I_{VEE}$	$V_{CC}=+5V, I_{OUT}=0A$	—	-1.5	mA
正压输出电平(D/FOUT/ SO/ZOUT)	$V_{POL}$	Sink 电流不大于 5mA	—	0.5	V
	$V_{POH}$	Source 电流不大于 5mA	4.5	—	V
负压输出电平 (S1+/S1-/S2+/S2-)	$V_{NOL}$	Sink 电流不大于 5mA	—	-4.5	V
	$V_{NOH}$	Source 电流不大于 5mA	-0.5	—	V
正压欠压锁定电压	$V_{CC\_ON}$	—	—	3.2	V



正压欠压锁定迟滞电压	$V_{CC\_delay}$	—	—	0.5	V
输入高电平阈值	$V_{IH}$	—	—	2.7	V
输入低电平阈值	$V_{IL}$	—	0.8	—	V
输出上升/下降时间	$t_r/t_d$	—	—	150	ns
SYN 同步锁存延迟时间	$t_{d-syn}$	SYN 至开关控制引脚	—	150	ns

## 8. 功能框图及引脚介绍

### 8.1 功能框图

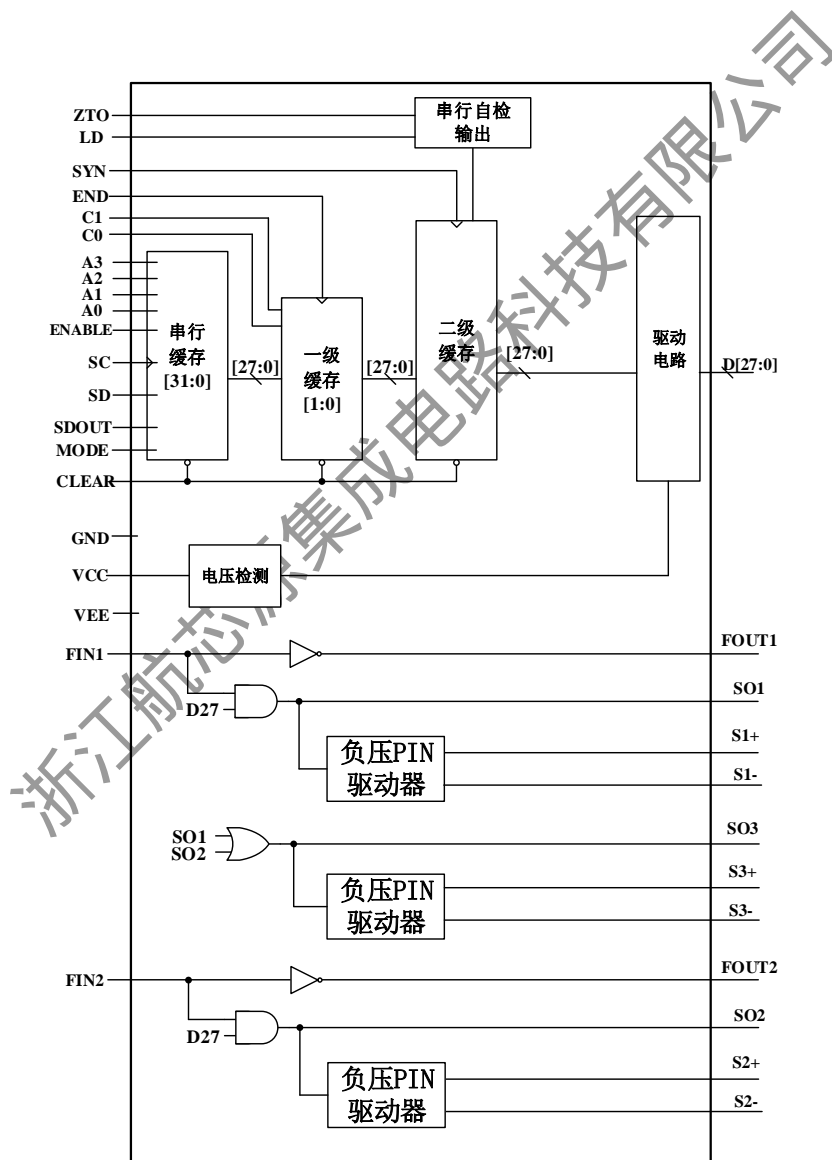


图 1 功能框图



## 8.2 引脚介绍

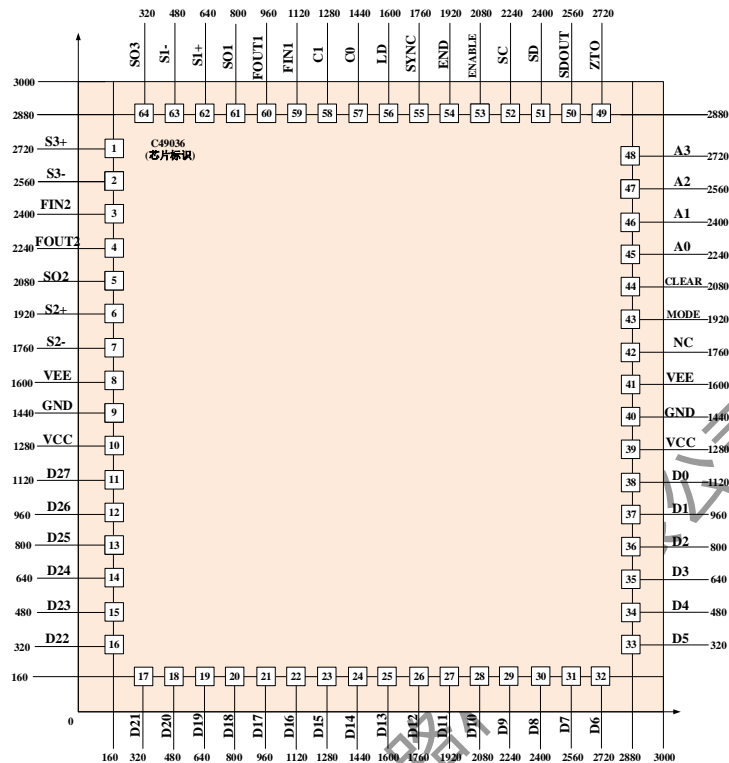


图 2 引脚分布图

- 芯片尺寸：31000\*31000 $\mu\text{m}^2$ （含划片槽尺寸）
- PAD 尺寸：100\*100 $\mu\text{m}^2$ ；

表 3 引脚介绍

引脚序号	引脚介绍	属性	引脚功能描述
1	S3+	输出	开关控制信号 0、-5V 输出（同相）
2	S3-	输出	开关控制信号 0、-5V 输出（反相）
3	FIN2	输入	反向器输入 FIN2，内部 1M $\Omega$ 电阻弱下拉
4	FOUT2	输出	反向器输出 FOUT2
5	SO2	输出	开关控制信号 2 输出
6	S2+	输出	开关控制信号 0、-5V 输出（同相）
7	S2-	输出	开关控制信号 0、-5V 输出（反相）
8	VEE	电源	工作电源-5V
9	GND	地	地
10	VCC	电源	工作电源+5V
11	D27	输出	数据位 D27
12	D26	输出	数据位 D26
13	D25	输出	数据位 D25
14	D24	输出	数据位 D24



15	D23	输出	数据位 D23
16	D22	输出	数据位 D22
17	D21	输出	数据位 D21
18	D20	输出	数据位 D20
19	D19	输出	数据位 D19
20	D18	输出	数据位 D18
21	D17	输出	数据位 D17
22	D16	输出	数据位 D16
23	D15	输出	数据位 D15
24	D14	输出	数据位 D14
25	D13	输出	数据位 D13
26	D12	输出	数据位 D12
27	D11	输出	数据位 D11
28	D10	输出	数据位 D10
29	D9	输出	数据位 D9
30	D8	输出	数据位 D8
31	D7	输出	数据位 D7
32	D6	输出	数据位 D6
33	D5	输出	数据位 D5
34	D4	输出	数据位 D4
35	D3	输出	数据位 D3
36	D2	输出	数据位 D2
37	D1	输出	数据位 D1
38	D0	输出	数据位 D0
39	VCC	电源	工作电源+5V
40	GND	地	地
41	VEE	电源	工作电源-5V
42	NC	无	未使用引脚，不连接
43	MODE	输入	模式选择，内部 1MΩ 电阻弱上拉，高电平时地址功能有效，低电平时地址功能无效
44	CLEAR	输入	清零信号，低电平有效，异步清零，内部 1MΩ 电阻弱上拉
45	A0	输入	地址位 A0，低电平有效，内部 1MΩ 电阻弱上拉
46	A1	输入	地址位 A1，低电平有效，内部 1MΩ 电阻弱上拉
47	A2	输入	地址位 A2，低电平有效，内部 1MΩ 电阻弱上拉
48	A3	输入	地址位 A3，低电平有效，内部 1MΩ 电阻弱上拉
49	ZTO	输出	自检信号输出



50	SDOUT	输入	串行数据移位输出，用于级联
51	SD	输入	串行数据，内部 1MΩ 电阻弱下拉
52	SC	输入	串行时钟，内部 1MΩ 电阻弱下拉
53	ENBALE	输入	串行时钟使能，低电平有效，内部 1MΩ 电阻弱上拉
54	END	输入	一级锁存写入，上升沿触发，内部 1MΩ 电阻弱上拉
55	SYN	输入	二级锁存写入，上升沿触发，内部 1MΩ 电阻弱上拉
56	LD	输入	自检使能信号，上升沿触发，内部 1MΩ 电阻弱上拉
57	C0	输入	寄存器地址位 C0，内部 1MΩ 电阻弱上拉
58	C1	输入	寄存器地址位 C1，内部 1MΩ 电阻弱上拉
59	FIN1	输入	反向器输入 FIN1，内部 1MΩ 电阻弱下拉
60	FOUT1	输出	反向器输出 FOUT1
61	SO1	输出	开关控制信号 1 输出
62	S1+	输出	开关控制信号 0、-5V 输出（同相）
63	S1-	输出	开关控制信号 0、-5V 输出（反相）
64	SO3	输出	开关控制信号 3 输出

## 9. 主要功能说明

### 9.1 寄存器功能

串并转换控制芯片 C49036RH 的功能是将 32bit 带地址码的串行数据转换为 28bit 并行数据。芯片采用二级缓存数据存储结构，使多个芯片的数据可以分时写入，同步刷新。芯片包含 4 组 1 级寄存器，可以通过寄存器地址位 C0/C1 快速切换，实现多种不同配置的不同切换。SDOUT 引脚具备三态输出，可方便系统并联调试。芯片内置自检电路，在 LD 引脚为高电平期间，通过 ZTO 引脚输出包含包头和包尾的 28BIT 自检数据。芯片内各寄存器配置情况如下表所示：

表 4 寄存器配置

寄存器名称	初始值	寄存器大小
serial_reg	0x0	32
1st_reg_buffer	0x0	28
2nd_reg_buffer	0x0	28
reg_dOUT	0x0	1
ZTO_dout	0x0	28

下面将针对上述各寄存器的功能以及配置情况进行说明。

#### 9.1.1 串行数据寄存器 (serial\_reg)

serial\_reg 为串行移位寄存器，在 ENABLE 信号为低电平时，数据将在时钟的上升沿写入 serial\_reg[0] 中，而 serial\_reg 中原有数据将依次从 serial\_reg[0] 移往 serial\_reg[31] 中。



### 9.1.2 一级数据寄存器 (1st\_reg\_buffer)

1st\_reg\_buffer 为一级数据寄存器，其包含 4 组可选的 28 位寄存器，通过寄存器地址位引脚 C1/C0 选择。当 END 信号产生一个上升沿时，会将 serial\_reg 中的 31~28 位与地址配置引脚 A3~A0 做比较，地址匹配时，1st\_reg\_buffer 将根据寄存器地址位引脚 C1/C0 的选择，将寄存器 serial\_reg 中的 27~0 位数据锁存至对应的寄存器中。

### 9.1.3 二级数据寄存器 (2nd\_reg\_buffer)

2nd\_reg\_buffer 为二级数据寄存器，当 SYN 信号产生一个上升沿时，寄存器 2nd\_reg\_buffer 将根据寄存器地址位引脚 C1/C0 的选择，从 1st\_reg\_buffer 的 4 组寄存器中选择对应的寄存器进行锁存，寄存器 2nd\_reg\_buffer 中数据的配置情况如下图所示：

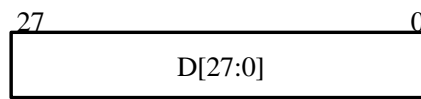


图 3 2nd\_reg\_buffer 中数据位与输出控制字对应关系

### 9.1.4 自检数据串行输出 (ZTO\_dout)

ZTO\_dout 为自检数据串行输出寄存器，当 LD 为高电平期间，寄存器 ZTO\_dout 将从 2nd\_reg\_buffer 锁存至 ZTO\_dout 中。在锁存完成后的第一个 CLK 上升沿，ZTO 引脚会输出一个高电平的数据包头，并从第二个 CLK 开始，从 D27 开始输出 ZTO\_dout 中锁存的数据。在 D0 输出完后，会输出一个高电平的数据包尾，以方便进行数据检查

## 9.2 串行逻辑说明

### 9.2.1 串行接口时序

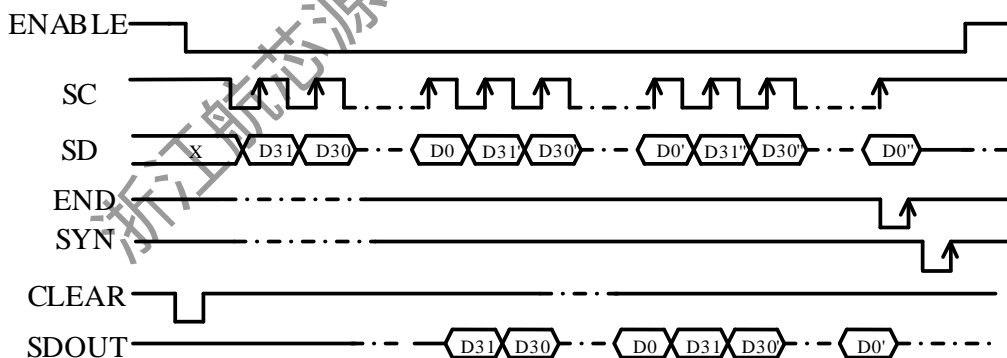


图 4 串行时序图（标准连接）

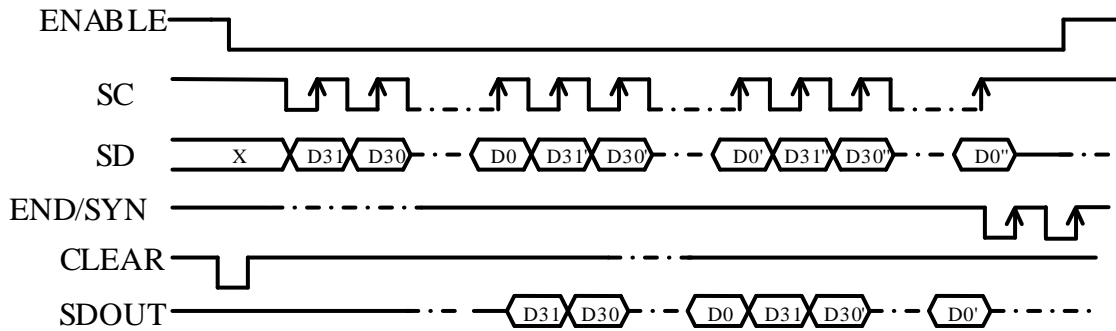


图 5 串行时序图 (END 与 SYN 复用)

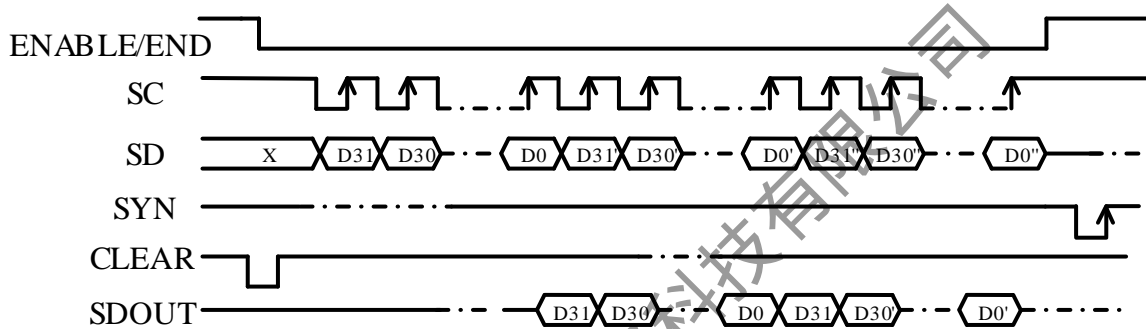


图 6 串行时序图 (END 与 ENABLE 复用)

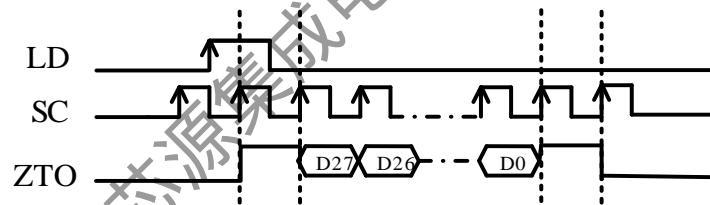


图 7 串行时序图 (END 与 ENABLE 复用)

- 1) SD 为串行输入，数据在 SC 上升沿时输入；SDOUT 为串行输出，数据在 SC 下降沿时输出。
- 2) 串行写入操作需在上电复位延时完成后进行。
- 3) 上电复位后 D31~D0 的值均为 0。
- 4) END 为一级锁存触发信号，END 上升沿时芯片会对 serial\_reg 的 D31~D28 位与地址配置进行校验，校验成功后，根据 C1/C0 的选择，将 D27~D0 数据锁存至对应寄存器中；SYN 为二级锁存触发信号，在 SYN 上升沿芯片会将数据锁存。当 END 与 SYN 复用时，需要连续输入两个上升沿，使数据锁存到 2 级缓存。
- 5) 时钟信号在 ENABLE 为低电平时有效。
- 6) SDOUT 引脚在 ENABLE 为高时，为高阻态。
- 7) LD 为自检使能触发信号，LD 引脚为高电平时会将数据从 2 级缓存中锁存至 ZTO\_dout 寄存器中，从





D27~D0 依次输出，并添加包头及包尾方便识别。

### 9.2.2 串行接口时延

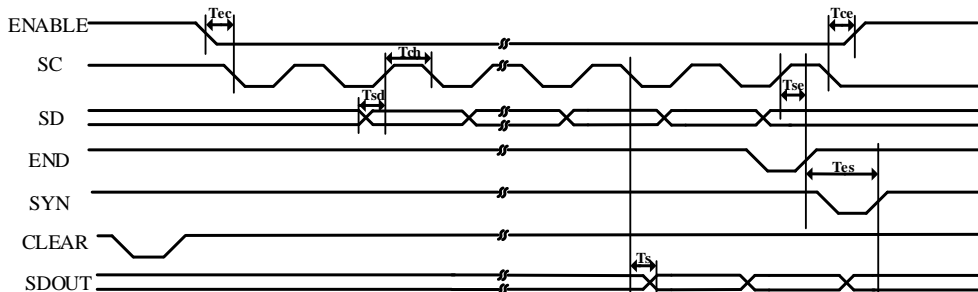


图 8 串行接口时延图

C49036RH 串行接口时延要求如下表：

表 5 串行接口时延

符号	参数	最小	最大	单位
tch	CLK High Time	13.5	—	ns
tsd	Data to CLK Rise	1	—	ns
tes	END Rise to SYN Rise	2	—	ns
ts	SC Fall to SDOUT	2.3	—	ns
tse	SC Rise to END Rise	2.7	—	ns
tec	ENABLE Fall to SC FALL	1	—	ns
tce	SC FALL to ENABLE Rise	1	—	ns

### 9.2.3 串行比特位对应关系

C49036RH 串行比特位对应控制位如下表：

表 6 串行比特位对应控制位

串行字节位	控制字节位	功能描述
D0	D0	数据位 0
D1	D1	数据位 1
D2	D2	数据位 2
D3	D3	数据位 3
D4	D4	数据位 4
D5	D5	数据位 5
D6	D6	数据位 6
D7	D7	数据位 7
D8	D8	数据位 8
D9	D9	数据位 9



D10	D10	数据位 10
D11	D11	数据位 11
D12	D12	数据位 12
D13	D13	数据位 13
D14	D14	数据位 14
D15	D15	数据位 15
D16	D16	数据位 16
D17	D17	数据位 17
D18	D18	数据位 18
D19	D19	数据位 19
D20	D20	数据位 20
D21	D21	数据位 21
D22	D22	数据位 22
D23	D23	数据位 23
D24	D24	数据位 24
D25	D25	数据位 25
D26	D26	数据位 26
D27	D27	数据位 27
D28	A0	地址位 0
D29	A1	地址位 1
D30	A2	地址位 2
D31	A3	地址位 3

## 10. 逻辑功能说明

### 10.1 地址输入信号

表 7 地址输入信号真值表

地址位配置	输入状态
悬空	0
接地	1

### 10.2 数字输出信号

表 8 数字输出信号真值表

寄存器配置	输出电平
0	$V_{OL}$ (0V)
1	$V_{OH}$ (VCC)



### 10.3 反相器逻辑信号

表 9 FIN 逻辑信号真值表

输入信号			输出信号										
FIN1	D27	FIN2	FO1	SO1	S1+	S1-	FO2	SO2	S2+	S2-	SO3	S3+	S3-
0	0	0	5V	0V	-5V	0V	5V	0V	-5V	0V	0V	-5V	0V
0	1	0	5V	0V	-5V	0V	5V	0V	-5V	0V	0V	-5V	0V
1	0	0	0V	0V	-5V	0V	5V	0V	-5V	0V	0V	-5V	0V
1	1	0	0V	5V	0V	-5V	5V	0V	-5V	0V	5V	0V	-5V
0	0	1	5V	0V	-5V	0V	0V	0V	-5V	0V	0V	-5V	0V
0	1	1	5V	0V	-5V	0V	0V	5V	0V	-5V	5V	0V	-5V
1	0	1	0V	0V	-5V	0V	0V	0V	-5V	0V	0V	-5V	0V
1	1	1	0V	5V	0V	-5V	0V	5V	0V	-5V	5V	0V	-5V



## 11. 芯片应用说明

### 11.1 典型应用图

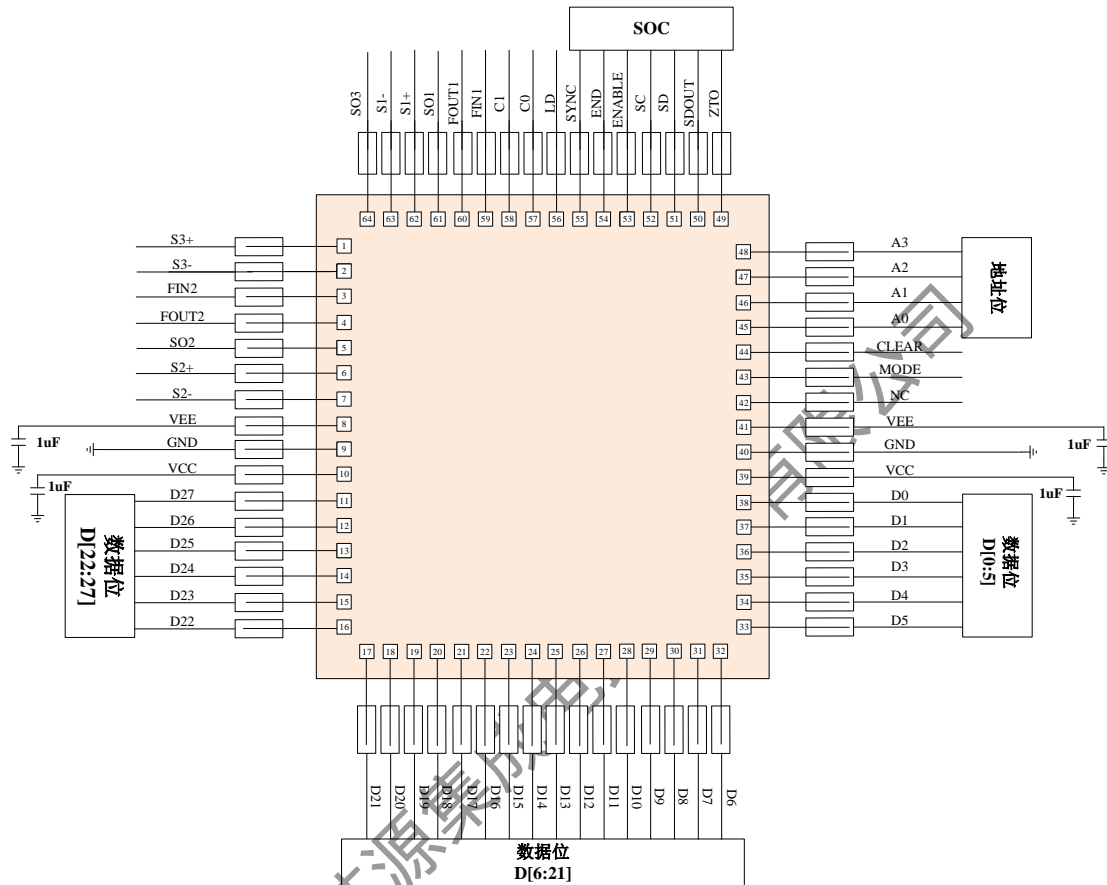


图 9 C49036RH 工作推荐电路

### 11.2 单路应用说明

- 1) VCC 接+5V 的电压；
- 2) 数据位 D[0:27]，供电电流不超过 5mA；
- 3) 芯片内部有上电复位功能，若不需要外部进行寄存器清零，CLEAR 引脚可悬空；
- 4) MODE 为模式选择引脚，内部 1MΩ 电阻弱上拉，高电平时地址功能有效，低电平时地址功能无效；
- 5) FIN1/FIN2 为反相器输入，分别对应反相器输出 FOUT1/FOUT2；

## 12. 注意事项

### 12.1 产品安装注意事项

- 1) 芯片键合区主要材料为铝，适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；



- 2) 芯片背面未金属化，可采用导电胶粘接；
- 3) 芯片背面为 0V 电位，装配时推荐接地或悬空。

## 12.2 产品使用注意事项

- 1) 数字输入 (CLEAR、TR\_R、TR\_T、SYN、END、ENABLE) 内部均与 VCC 有  $1M\Omega$  电阻弱上拉，即悬空时状态默认为高；
- 2) 电源去耦：应在靠近器件电源引出端处采用大于等于  $1\mu F$  电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- 3) 电路使用时应先接电源端，再接输入端，同时应尽量避免电源、地线上的干扰。工作时先检查电源、地是否接触良好后再接通器件电源。

## 12.3 产品防护注意事项

- 1) 本产品可以抗 2000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环，操作台面、操作设备接地良好，拿取芯片时，最好使用真空吸笔，以免损伤芯片；
- 2) 真空包装好的芯片应贮存在温度  $10^{\circ}C$  到  $30^{\circ}C$ ，相对湿度 20%~70% 的环境中，周围没有酸、碱或者其它腐蚀气体，通风良好，且具备相应防静电措施；未使用的芯片应存于氮气柜中；在避免雨、雪直接影响的环境下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



### 13. 版本说明

产品型号	编制时间	版本编号	修订记录
C49036RH	2021.12.02	Rev.1	初始版本
C49036RH	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司