



4 通道负压 FET 驱动器

1. 产品特性

- 单芯片集成 4 通道
- 具有输入反相逻辑配置位
- 输入兼容 TTL 信号
- 欠压保护

2. 功能描述

C45004 是一款采用硅工艺制造的通用逻辑门芯片。芯片具有 4 个通道，每个通道均可单独工作。其主要功能为将输入的 TTL 信号转换为-5V/0V 的差分信号输出。每个通道都具有输入反相逻辑配置位，可以根据需求自行配置。输入引脚支持 3.3V/5V 逻辑电平，单个输出最大 2mA 电流的驱动能力。芯片还具备欠压保护功能。

3. 典型应用

- GaAsFET 开关
- GaAsFET 衰减器
- GaAsFET 移相器

4. 裸芯片/封装简介

- 本产品为裸芯片，尺寸为 $840 \times 1590 \mu\text{m}^2$ （包含划片槽）



5. 绝对最大额定值

使用中超过这些绝对最大值可能对芯片造成永久损坏!

符号	参数	最小值	典型值	最大值	单位
VEE	负电源电压			-6	V
T _{STG}	储存温度	-65		150	°C
T _A	工作温度	-55		125	°C

6. 主要电参数

无特别说明 T_A = -55°C~125°C, V_{EE} = -5V

表 1 主要电参数

参数	符号	测试条件	最小值	典型值	最大值	单位
VEE 静态电流	I _{VEE}	V _{EE} = -5V		0.1	1	mA
负压保护开启电压	VEE_ON				-2.7	V
负压保护关断电压	VEE_OFF		-2			V
正压输入高电平	INP_H	V _{EE} = -5V	2.4			V
正压输入低电平	INP_L	V _{EE} = -5V			0.8	V
输出高电平	OUT_OH	I _O = 2mA		-0.5		V
输出低电平	OUT_OL	I _O = -2mA		-4.5		V
逻辑传输延迟	T _{dP}			30		ns

7. 功能框图及引脚介绍

7.1 功能框图

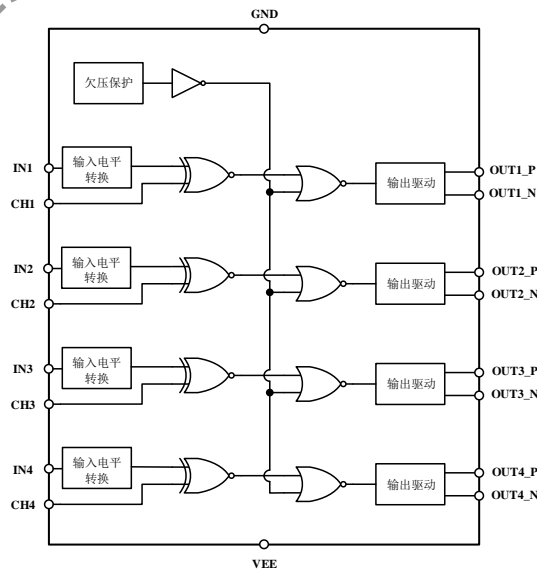


图 1 功能框图

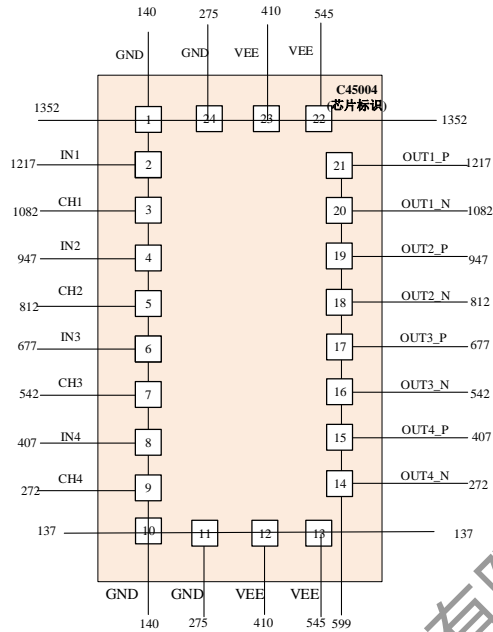


图 2 C45004 引脚分布

- 芯片尺寸：840×1590 μm^2 （包含划片槽）
- PAD 尺寸：100×100 μm^2
- 厚度：200 μm

表 2 C45004 引脚说明

序号	引脚介绍	属性	引脚功能描述
1	IN1	输入	通道 1 输入
2	CH1	输入	通道 1 输入反向配置位，默认上拉至 GND，连接至 VEE 时，输入信号反向
3	IN2	输入	通道 2 输入
4	CH2	输入	通道 2 输入反向配置位，默认上拉至 GND，连接至 VEE 时，输入信号反向
5	IN3	输入	通道 3 输入
6	CH3	输入	通道 3 输入反向配置位，默认上拉至 GND，连接至 VEE 时，输入信号反向
7	IN4	输入	通道 4 输入
8	CH4	输入	通道 4 输入反向配置位，默认上拉至 GND，连接至 VEE 时，输入信号反向
9	GND	地	地
10	GND	地	地
11	VEE	电源	-5V 电源，使用时连接 0.1 μF 去耦电容至 GND



12	VEE	电源	-5V 电源，使用时连接 0.1 μ F 去耦电容至 GND
13	OUT4_N	输出	通道 4 输出 N
14	OUT4_P	输出	通道 4 输出 P
15	OUT3_N	输出	通道 3 输出 N
16	OUT3_P	输出	通道 3 输出 P
17	OUT2_N	输出	通道 2 输出 N
18	OUT2_P	输出	通道 2 输出 P
19	OUT1_N	输出	通道 1 输出 N
20	OUT1_P	输出	通道 1 输出 P
21	VEE	电源	-5V 电源，使用时连接 0.1 μ F 去耦电容至 GND
22	VEE	电源	-5V 电源，使用时连接 0.1 μ F 去耦电容至 GND
23	GND	地	地
24	GND	地	地

8. 芯片应用说明

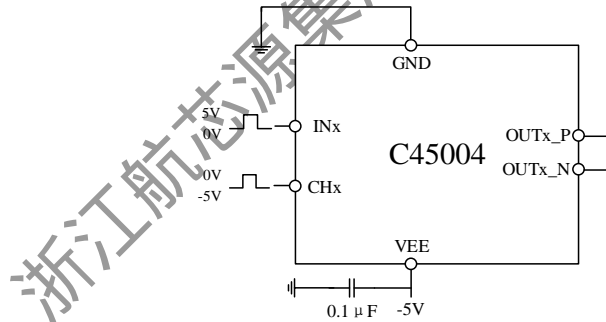


图 3 C45004 典型应用图

- 1) 4 个通道相互独立，共电源共地，每个通道的两个输出为反相，且各个通道功能一致；
- 2) 功率走线如电源、地、输出等，应简短并且具有一定的宽度；
- 3) 多个 VEE 和 GND 内部已连接，但考虑到性能建议同时使用。
- 4) 下表给出 C45004 逻辑真值表：



表 3 逻辑真值表

IN	CH	OUT_P	OUT_N	备注
0	0	VEE	GND	CH默认接GND，逻辑状态为1 连接到VEE，逻辑状态为0
1	0	GND	VEE	
0	1	GND	VEE	
1	1	VEE	GND	

表 4 输入电压与逻辑值关系

逻辑	IN	OUT_P	OUT_N
0	0V	VEE	0V
1	3.3/5V	0V	VEE

9. 注意事项

9.1 产品安装注意事项

- 1) 芯片键合区主要材料为铝，适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；
- 2) 芯片背面未金属化，可采用导电胶粘接；
- 3) 芯片背面为 VEE 电位，装配时推荐接 VEE 或悬空，请勿通过衬底输入 VEE 电压。

9.2 产品使用注意事项

- 1) 输出端口禁止接地；
- 2) 器件不能超过极限工作条件使用；
- 3) 电源去耦：应在靠近器件电源引出端处可采用 0.1 μ F 电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- 4) 工作时先检查电源、地是否接触良好后再接通器件电源。

9.3 产品防护注意事项

- 1) 本产品可以抗 2000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环，操作台面、操作设备接地良好，拿取芯片时，最好使用真空吸笔，以免损伤芯片；
- 2) 真空包装好的芯片应贮存在温度 10 $^{\circ}$ C 到 30 $^{\circ}$ C，相对湿度 20%~70%的环境中，周围没有酸、碱或者其它腐蚀气体，通风良好，且具备相应防静电措施；未使用的芯片应存于氮气柜中；
- 3) 在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



10. 版本说明

产品型号	编制时间	版本编号	修订记录
C45004	2022.3.23	Rev.1	初始版本
C45004	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司