



## 3 路小电流漏调&2 路栅调&28bit 串并转换 抗辐射 TR 电源管理芯片

### 1. 产品特性

- PA 电源脉冲调制输出：800mA
- LNA、收发驱放电源调制输出：200mA
- DRV\_PA 可驱动外接 P 型 VDMOS
- PA 内置过脉宽保护，CPA 外接电容调节保护时间，具有 PTC\_PA 指示信号
- PA、收发驱放栅极电压可调
- 串并转换，28bit 串行数据位
- 正压欠压锁定，负压保护
- 总剂量（TID）耐受： $\geq 100\text{k rad}(\text{si})$
- 单粒子锁定及烧毁对线性能量传输（LET）的抗干扰度： $\geq 75\text{MeV}\cdot\text{cm}^2/\text{mg}$

### 2. 功能描述

T/R电源管理芯片C49023RH包含串并转换、负压变换、电源调制、负压保护、过脉宽保护、栅极控制、栅压调节等功能模块，采用二级缓存数据存储结构，串行数据包含2位延时线、6位接收/发射移相位、6位接收/发射衰减位、2位独立收发负载态控制位，共28bit数据构成。集成电源调制功能，可产生+8V脉宽调制电源输出给PA，产生+5V调制电源输出给发射、接收射频以及LNA供电，同时具备独立功放、低噪放、发射和接收驱放栅压调节功能，可配合数字码实现每通道独立的负载态关断功能。

### 3. 产品应用

- GaAs FET 开关，漏极调制
- GaAs PA/LNA/DRV 栅压调节
- GaAs FET 移相器、衰减器

### 4. 裸芯片/封装简介

- 本产品为裸芯片，芯片尺寸：3850 $\mu\text{m}$ \*1720 $\mu\text{m}$ （含划片槽尺寸）



## 5. 绝对最大额定值

表 1 绝对最大额定值

参数	符号	最小值	典型值	最大值	单位
PA电源电压	$V_T$		8.8		V
正电源电压	$V_{CC}$		5.5		V
负电源电压	$V_{EE}$		-5.5		V
输入高电平电压	$V_{IH}$		5.5		V
输入低电平电压	$V_{IL}$		-0.3		V
储存温度	$T_{STG}$	-65		150	$^{\circ}C$
工作温度	$T_A$	-55		125	$^{\circ}C$

(1) 使用中超过这些绝对最大值可能对芯片造成永久损坏。

## 6. 推荐工作条件

- 1) PA电源电压 $V_T$  : 8V
- 2) 正电源电压 $V_{CC}$ : 5V
- 3) 负电源电压 $V_{EE}$ : -5V
- 4) 输入高电平电压 $V_{IH}$ : 5V
- 5) 输入低电平电压 $V_{IL}$ : 0V
- 6) 工作环境温度: -55~125 $^{\circ}C$

## 7. 主要电参数

除非特别说明,  $V_T=8V$ ,  $V_{CC}=5V$ ,  $V_{EE}=-5V$ ,  $T_A=-55^{\circ}C\sim 125^{\circ}C$ ,

表 2 主要电参数

参数	符号	测试条件	最小值	最大值	单位
PA_VD 输出高电平	$V_{PA\_VD}$	$I_{OUT}=800mA$	7.8		V
DRV_VD 输出高电平	$V_{DRV\_VD}$	$I_{OUT}=200mA$	4.8		V
LNA_VD 输出高电平	$V_{LNA\_VD}$	$I_{OUT}=200mA$	4.8		V
VCC 静态电流	$I_{VCC}$	无负载, 上电复位		0.5	mA
VEE 静态电流	$I_{VEE}$	无负载, 上电复位		2	mA



电源脉冲 上升延迟时间	$T_{DR}$	$C_{LOAD}=1nF$ $R_{PA\_VD}=20\Omega$ $R_{DRV\_VD}=50\Omega$ $R_{LNA\_VD}=50\Omega$		100	ns
电源脉冲调制 上升时间	$T_R$	$C_{LOAD}=1nF$ $R_{PA\_VD}=20\Omega$ $R_{DRV\_VD}=50\Omega$ $R_{LNA\_VD}=50\Omega$		100	ns
PA_VG 输出电压 (-0.7V)	$V_{PA\_VG\_0.7V}$	Source/Sink $\leq 2mA$ PA_ADJ=00	-0.73	-0.67	V
PA_VG 输出电压 (-2V)	$V_{PA\_VG\_2V}$	Source/Sink $\leq 0.1mA$	-2.2	-1.8	V
DRV_VG 输出电压 (-0.7V)	$V_{DRV\_VG\_0.7V}$	Source/Sink $\leq 0.1mA$ DRV_ADJ=100	-0.73	-0.67	V
DRV_VG 输出电压 (-2V)	$V_{DRV\_VG\_2V}$	Source/Sink $\leq 0.1mA$	-2.2	-1.8	V
LNA_VG 输出电压 (5V)	$V_{LNA\_VG\_5V}$	Source $\leq 0.5mA$	4.5		V
LNA_VG 输出电压 (0V)	$V_{LNA\_VG\_0V}$	Sink $\leq 0.5mA$		0.5	V
负压驱动 输出电压 (-5V)	$V_{O(-5V)}$	Sink $\leq 1mA$		-4.5	V
负压驱动 输出电压 (0V)	$V_{O(0V)}$	Source $\leq 1mA$	-0.5	0.5	V
负压保护开启电压	$V_{EE\_ON}$			-4	V
负压保护关断电压	$V_{EE\_OFF}$		-2		V
正压保护开启电压	$V_{CC\_ON}$		3		V
正压保护关断电压	$V_{CC\_OFF}$			2	V



## 8. 功能框图及引脚介绍

### 8.1 功能框图

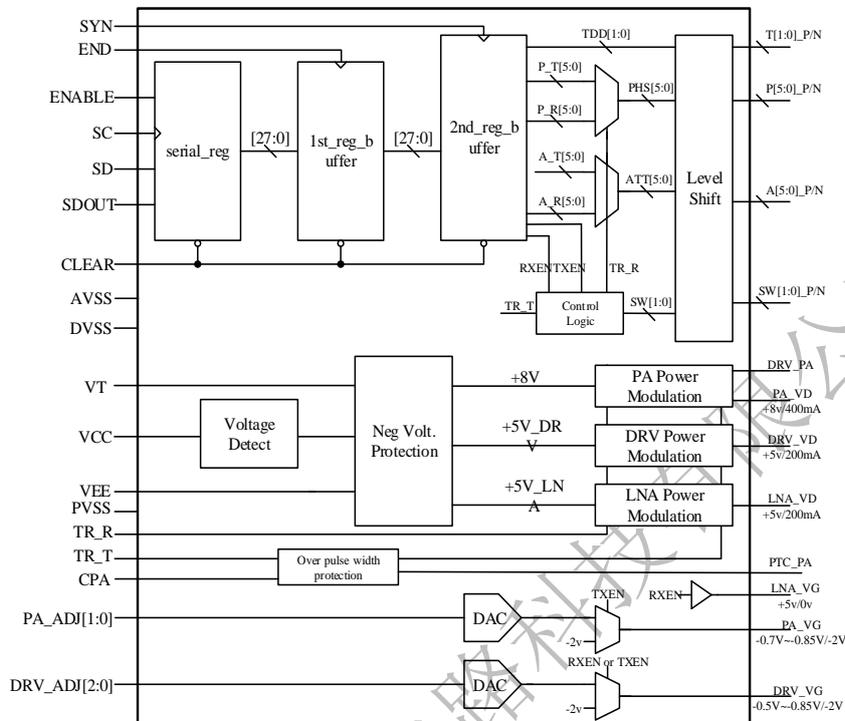


图 1 C49023RH 功能框图

### 8.2 引脚介绍

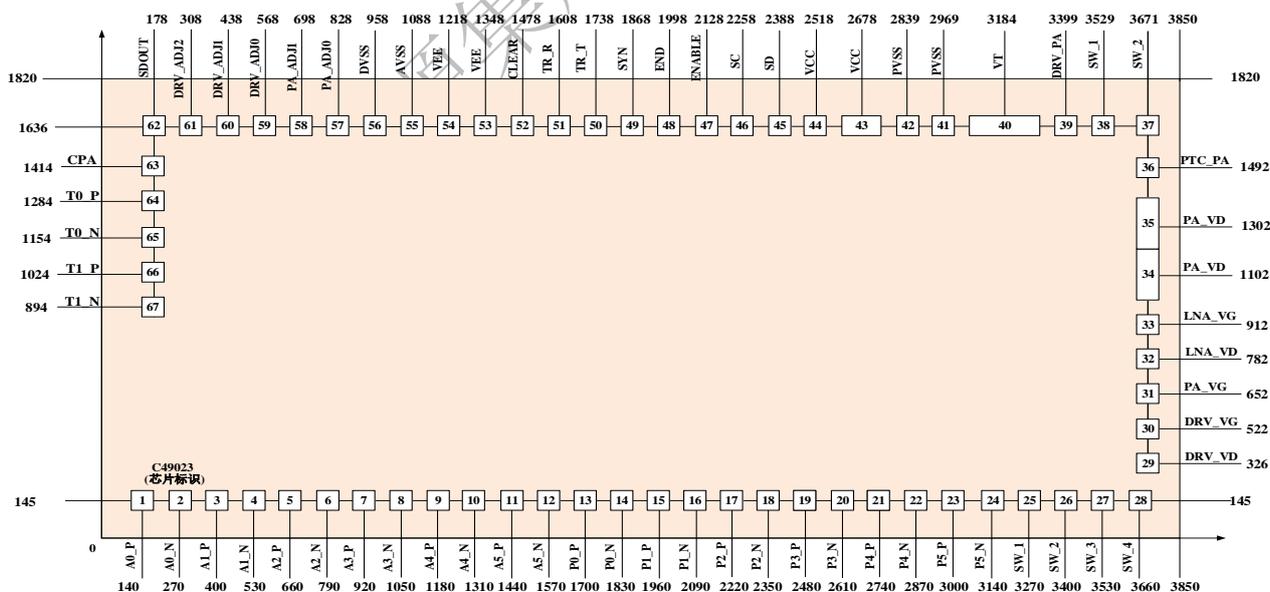


图 2 引脚分布图

- 芯片尺寸：3850\*1720  $\mu\text{m}^2$  (含划片槽尺寸)
- PAD 尺寸：VCC：80 \* 140 $\mu\text{m}^2$ 、VT：80 \* 250 $\mu\text{m}^2$ 、PA\_VD：80 \* 200 $\mu\text{m}^2$ 、其它 PAD：80 \* 80 $\mu\text{m}^2$



表 3 C49023RH 引脚功能说明

引出端	符号	属性	功 能
1	A0_P	输出	衰减器负压控制信号
2	A0_N	输出	衰减器负压控制信号
3	A1_P	输出	衰减器负压控制信号
4	A1_N	输出	衰减器负压控制信号
5	A2_P	输出	衰减器负压控制信号
6	A2_N	输出	衰减器负压控制信号
7	A3_P	输出	衰减器负压控制信号
8	A3_N	输出	衰减器负压控制信号
9	A4_P	输出	衰减器负压控制信号
10	A4_N	输出	衰减器负压控制信号
11	A5_P	输出	衰减器负压控制信号
12	A5_N	输出	衰减器负压控制信号
13	P0_P	输出	移相器负压控制信号
14	P0_N	输出	移相器负压控制信号
15	P1_P	输出	移相器负压控制信号
16	P1_N	输出	移相器负压控制信号
17	P2_P	输出	移相器负压控制信号
18	P2_N	输出	移相器负压控制信号
19	P3_P	输出	移相器负压控制信号
20	P3_N	输出	移相器负压控制信号
21	P4_P	输出	移相器负压控制信号
22	P4_N	输出	移相器负压控制信号
23	P5_P	输出	移相器负压控制信号
24	P5_N	输出	移相器负压控制信号
25	SW_1	输出	开关负压控制信号
26	SW_2	输出	开关负压控制信号
27	SW_3	输出	开关负压控制信号
28	SW_4	输出	开关负压控制信号
29	DRV_VD	输出	收发驱放电源脉冲调制输出
30	DRV_VG	输出	DRV栅极控制电压，电压由DRV_ADJ[2:0]可调，夹断电压-2V
31	PA_VG	输出	PA栅极控制电压，电压由PA_ADJ[1:0]可调，夹断电压-2V



32	LNA_VD	输出	LNA电源脉冲调制输出
33	LNA_VG	输出	LNA栅极控制电压，工作电压5V，夹断电压0V
34	PA_VD	输出	PA电源脉冲调制输出
35	PA_VD	输出	PA电源脉冲调制输出
36	PTC_PA	输出	PA过脉宽保护指示信号
37	SW_2	输出	开关负压控制信号
38	SW_1	输出	开关负压控制信号
39	DRV_PA	电源	PA外接VDMOS栅极驱动输出
40	VT	地	工作电源+8V
41	PVSS	地	地，外部与AVSS、DVSS等相连
42	PVSS	电源	地，外部与AVSS、DVSS等相连
43	VCC	电源	工作电源+5V
44	VCC	输入	工作电源+5V
45	SD	输入	串行数据，内部1MΩ电阻弱上拉
46	SC	输入	串行时钟，内部1MΩ电阻弱上拉
47	ENABLE	输入	串行时钟使能，低电平有效，内部1MΩ电阻弱上拉
48	END	输入	一级锁存写入，低电平有效，上升沿触发，内部1MΩ电阻弱上拉
49	SYN	输入	二级锁存写入，低电平有效，上升沿触发，内部1MΩ电阻弱上拉
50	TR_T	输入	发射同步信号，高电平有效，内部1MΩ电阻弱上拉
51	TR_R	输入	接收同步信号，高电平有效，内部1MΩ电阻弱上拉
52	CLEAR	电源	清零信号，低电平有效，异步清零，内部1MΩ电阻弱上拉
53	VEE	电源	工作电源-5V
54	VEE	地	工作电源-5V
55	AVSS	地	地，外部与DVSS、PVSS等相连
56	DVSS	输入	地，外部与AVSS、PVSS等相连
57	PA_ADJ0	输入	PA栅压微调输入；内部1MΩ电阻弱上拉
58	PA_ADJ1	输入	
59	DRV_ADJ0	输入	发射驱动栅压微调输入；内部1MΩ电阻弱上拉
60	DRV_ADJ1	输入	
61	DRV_ADJ2	输出	
62	SDOUT	输出	串行数据移位输出，用于级联
63	CPA	输出	过脉宽保护时间调制端口
64	T0_P	输出	延时器负压控制信号



65	T0_N	输出	延时器负压控制信号
66	T1_P	输出	延时器负压控制信号
67	T1_N	输出	延时器负压控制信号

## 9. 主要功能说明

### 9.1 寄存器功能

T/R 电源管理芯片 C49023RH，采用二级缓存数据存储结构，串行数据包含 2 位延时线、6 位接收/发射移相位、6 位接收/发射衰减位、2 位独立收发负载态控制位，共 28bit 数据构成。各寄存器配置情况如下表所示：

表 4 寄存器配置

寄存器名称	初始值	寄存器大小
serial_reg	0x0	28
1st_reg_buffer	0x0	28
2nd_reg_buffer	0x0	28
reg_dout	0x0	1

下面将针对上述各寄存器的功能以及配置情况进行说明。

#### 9.1.1 串行数据寄存器 (serial\_reg)

serial\_reg 为串行移位寄存器，在 ENABLE 信号为低电平时，数据将在时钟的上升沿写入 serial\_reg[0] 中，而 serial\_reg 中原有数据将依次从 serial\_reg[0] 移往 serial\_reg[27] 中。

#### 9.1.2 一级数据寄存器 (1st\_reg\_buffer)

1st\_reg\_buffer 为一级数据寄存器，当 END 信号产生一个上升沿时，寄存器 1st\_reg\_buffer 将对寄存器 serial\_reg 中的 28 位数据进行锁存。

#### 9.1.3 二级数据寄存器 (2nd\_reg\_buffer)

2nd\_reg\_buffer 为二级数据寄存器，当 SYN 信号产生一个上升沿时，寄存器 2nd\_reg\_buffer 将对寄存器 1st\_reg\_buffer 进行锁存，寄存器 2nd\_reg\_buffer 中数据的配置情况如下图所示：

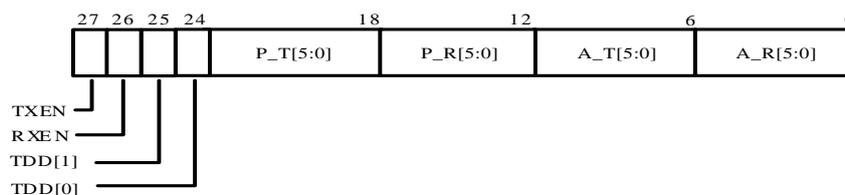


图 3 寄存器 2nd\_reg\_buffer 数据配置

- TXEN 与 RXRN 为独立收发负载态控制位
- TDD[1]与 TDD[0]为两位延迟信号位



- P\_T[5:0]与 P\_R[5:0]分别为发射态移相控制位和接收态移相控制位
- PHS[5:0]的数据通过 TR\_R 信号进行选择
  - 当 TR\_R 信号为高电平，PHS[5:0]的数据为 P\_R[5:0]；
  - 当 TR\_R 信号为低电平，PHS[5:0]的数据为 P\_T[5:0]
- A\_R[5:0]为接收态衰减控制位，ATT[5:0]的数据通过 TR\_R 信号进行选择。
  - 当 TR\_R 信号为高电平，ATT[5:0]的数据为 A\_R[5:0]；
  - 当 TR\_R 信号为低电平，ATT[5:0]的数据为 A\_T[5:0]。

## 9.2 串行逻辑说明

### 9.2.1 串行接口时序

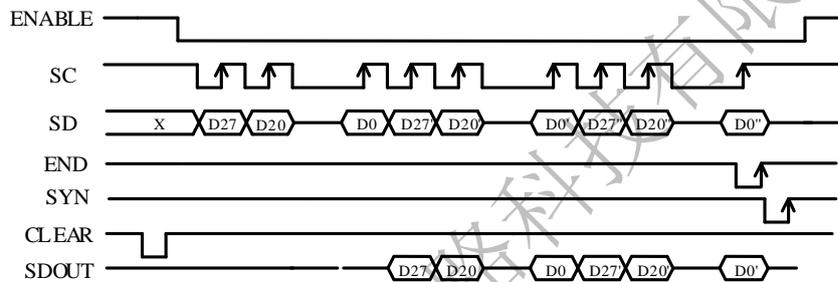


图 4 C49023RH 串行接口时序图

- 1) SD 为串行输入，数据在 SC 上升沿时输入；SDOUT 为串行输出，数据在 SC 下降沿时输出。
- 2) 串行写入操作需在上电复位延时完成后进行。
- 3) 上电复位后 D27~D0 的值均为 0。
- 4) END 为一级锁存触发信号，END 上升沿时将 28 比特数据锁存；SYN 为二级锁存触发信号，在 SYN 上升沿将 28 比特数据锁存。
- 5) 时钟信号在 ENABLE 为低电平时有效。

### 9.2.2 串行接口时延

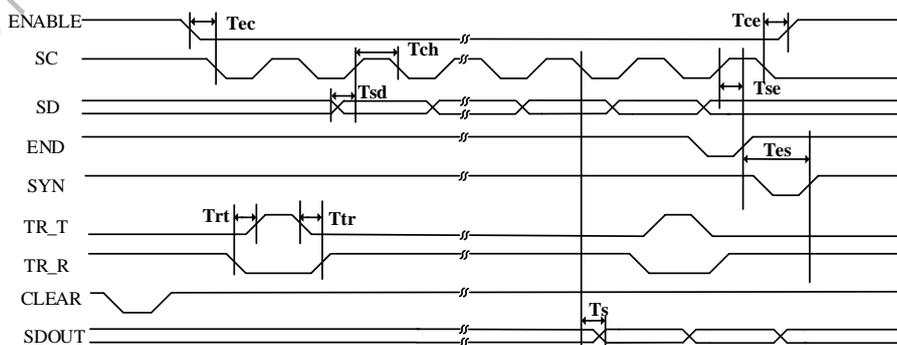


图 5 C49023RH 串行接口时延图



C49023RH 串行接口时延要求如下表：

表 5 串行接口时延

符号	参数	最小	最大	单位
tch	CLK High Time	13.5		ns
tsd	Data to CLK Rise	1		ns
tes	END Rise to SYN Rise	2		ns
ts	SC Fall to SDOOUT	2.3		ns
trt	TR_R Fall to TR_T Rise	1		ns
ttr	TR_T Fall to TR_R Rise	1		ns
tse	SC Rise to END Rise	2.7		ns
tec	ENABLE Fall to SC FALL	1		ns
tce	SC FALL to ENABLE Rise	1		ns

### 9.2.3 C49023RH 中芯片状态切换时序图

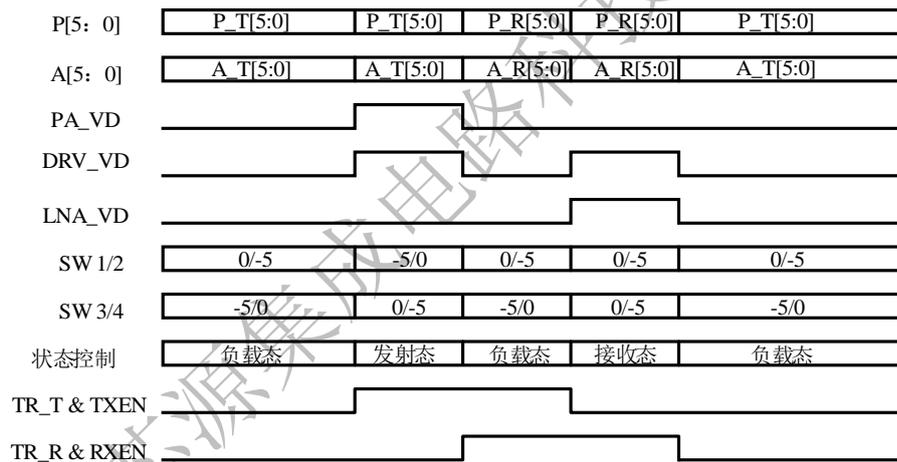


图 6 芯片状态切换时序图

➤ P\_T、P\_R、A\_T 和 A\_R 为对应寄存器的二级缓存，P 端口和 A 端口的 T/R 切换仅受 TR\_R 信号控制。

### 9.2.4 串行比特位对应关系

C49023RH 串行比特位对应控制位如下表：

表 6 C49023RH 串行比特位对应控制位

字节位	控制字	功能描述	字节位	控制字	功能描述
D0	ATT_R[0]	衰减器[0]控制字（接收）	D14	PHS_R[2]	移相器[2]控制字
D1	ATT_R[1]	衰减器[1]控制字（接收）	D15	PHS_R[3]	移相器[3]控制字
D2	ATT_R[2]	衰减器[2]控制字（接收）	D16	PHS_R[4]	移相器[4]控制字



D3	ATT_R[3]	衰减器[3]控制字（接收）	D17	PHS_R[5]	移相器[5]控制字
D4	ATT_R[4]	衰减器[4]控制字（接收）	D18	PHS_T[0]	移相器[0]控制字
D5	ATT_R[5]	衰减器[5]控制字（接收）	D19	PHS_T[1]	移相器[1]控制字
D6	ATT_T[0]	衰减器[0]控制字（发射）	D20	PHS_T[2]	移相器[2]控制字
D7	ATT_T[1]	衰减器[1]控制字（发射）	D21	PHS_T[3]	移相器[3]控制字
D8	ATT_T[2]	衰减器[2]控制字（发射）	D22	PHS_T[4]	移相器[4]控制字
D9	ATT_T[3]	衰减器[3]控制字（发射）	D23	PHS_T[5]	移相器[5]控制字
D10	ATT_T[4]	衰减器[4]控制字（发射）	D24	TDD[0]	延时 TDD[0]控制字
D11	ATT_T[5]	衰减器[5]控制字（发射）	D25	TDD[1]	延时 TDD[1]控制字
D12	PHS_R[0]	移相器[0]控制字（接收）	D26	RXEN	接收负载态控制位
D13	PHS_R[1]	移相器[1]控制字（接收）	D27	TXEN	发射负载态控制位

## 10. 逻辑功能说明

### 10.1 状态切换逻辑

表 7 芯片状态切换逻辑

TR_T	TR_R	TXEN	RXEN	状态
1	0	1	x	发射态
0	1	x	1	接收态
其他逻辑组合				负载态

➤ 其中“1”为 5V，“0”为 0V，“x”为任意状态。

### 10.2 开关控制信号

C49023RH 中控制多功能收发开关和射频收发前端开关的对应关系见下表：

表 8 开关控制信号真值表

状态	通道开关			
	SW[1]	SW[2]	SW[3]	SW[4]
接收态	0V	-5V	0V	-5V
发射态	-5V	0V	0V	-5V
负载态	0V	-5V	-5V	0V



### 10.3 电源调制信号

C49023RH 中功放、低噪放以及驱放的调制信号真值表（PA\_ADJ[1:0]为“00”，DRV\_ADJ[2:0]为“100”）：

表 9 电源调制信号真值表 1

状态	调制信号		
	DRV_VD	LNA_VD	PA_VD
接收态	5V	5V	0V
发射态	5V	0V	8V
负载态	0V	0V	0V

表 10 电源调制信号真值表 2

状态		调制信号		
TXEN	RXEN	DRV_VG	LNA_VG	PA_VG
1	1	-0.7V	5V	-0.7V
1	0	-0.7V	0V	-0.7V
0	1	-0.7V	5V	-2V
0	0	-2V	0V	-2V

### 10.4 栅压配置信号

表 11 功放栅压配置信号真值表

配置状态		功放栅压	配置状态			驱放栅压
PA_ADJ1	PA_ADJ0	PA_VG	DRV_ADJ2	DRV_ADJ1	DRV_ADJ0	DRV_VG
0	0	-0.7V	0	0	0	-0.5V
0	1	-0.75V	0	0	1	-0.55V
1	0	-0.8V	0	1	0	-0.6V
1	1	-0.85V	0	1	1	-0.65V
-	-	-	1	0	0	-0.7V
-	-	-	1	0	1	-0.75V
-	-	-	1	1	0	-0.8V
-	-	-	1	1	1	-0.85V

### 10.5 移相、衰减、延迟逻辑信号

表 12 移相、衰减、延迟信号逻辑信号真值表

引脚名称	TR_R 状态	对应寄存器	逻辑电平
Ax_P	TR_R=H	ATT_R[x]	0: 0V 1: -5V
Ax_N	TR_R=H	ATT_R[x]	0: -5V 1: 0V



Ax_P	TR_R=L	ATT_T[x]	0: 0V 1: -5V
Ax_N	TR_R=L	ATT_T[x]	0: -5V 1: 0V
Px_P	TR_R=H	PHS_R[x]	0: 0V 1: -5V
Px_N	TR_R=H	PHS_R[x]	0: -5V 1: 0V
Px_P	TR_R=L	PHS_T[x]	0: 0V 1: -5V
Px_N	TR_R=L	PHS_T[x]	0: -5V 1: 0V
Tx_P	TR_R=H/L	TDD[x]	0: 0V 1: -5V
Tx_N	TR_R=H/L	TDD [x]	0: -5V 1: 0V

## 10.6 逻辑真值表

表 13 C49023RH 逻辑真值表

输入信号		输出信号					
SD[27:0]-TR_T-TR_R	PA_ADJ[1:0] DRV_ADJ[2:0]	T[1:0]_P/N	P[5:0]_P/N	A[5:0]_P/N	SW[1:0]_P/N	PA_VG	PA_VD
						DRV_VG	DRV_VD
						LNA_VG	LNA_VD
00 00 000001 100000 000001 100000-0-0	00-100	00	000001	000001	10	0-0-0	0-0-0
00 01 000010 010000 000010 010000-0-0	00-100	01	000010	000010	10	0-0-0	0-0-0
00 10 000100 001000 000100 001000-0-0	00-100	10	000100	000100	10	0-0-0	0-0-0
00 11 001000 000100 001000 000100-0-0	00-100	11	001000	001000	10	0-0-0	0-0-0
00 00 010000 000010 010000 000010-0-0	00-100	00	010000	010000	10	0-0-0	0-0-0
00 01 100000 000001 100000 000001-0-0	00-100	01	100000	100000	10	0-0-0	0-0-0
01 00 000001 100000 000001 100000-0-1	00-100	00	100000	100000	00	0-1-1	0-1-1
01 01 000010 010000 000010 010000-0-1	00-100	01	010000	010000	00	0-1-1	0-1-1
01 10 000100 001000 000100 001000-0-1	00-100	10	001000	001000	00	0-1-1	0-1-1
01 11 001000 000100 001000 000100-0-1	00-100	11	000100	000100	00	0-1-1	0-1-1
01 00 010000 000010 010000 000010-0-1	00-100	00	000010	000010	00	0-1-1	0-1-1
01 01 100000 000001 100000 000001-0-1	00-100	01	000001	000001	00	0-1-1	0-1-1
10 00 000001 100000 000001 100000-1-0	00-100	00	000001	000001	01	1-1-0	1-1-0
10 01 000010 010000 000010 010000-1-0	00-100	01	000010	000010	01	1-1-0	1-1-0
10 10 000100 001000 000100 001000-1-0	00-100	10	000100	000100	01	1-1-0	1-1-0
10 11 001000 000100 001000 000100-1-0	00-100	11	001000	001000	01	1-1-0	1-1-0
10 00 010000 000010 010000 000010-1-0	00-100	00	010000	010000	01	1-1-0	1-1-0
10 01 100000 000001 100000 000001-1-0	00-100	01	100000	100000	01	1-1-0	1-1-0
11 00 000001 100000 000001 100000-1-1	00-100	00	100000	100000	10	1-1-1	0-0-0
11 01 000010 010000 000010 010000-1-1	00-100	01	010000	010000	10	1-1-1	0-0-0
11 10 000100 001000 000100 001000-1-1	00-100	10	001000	001000	10	1-1-1	0-0-0
11 11 001000 000100 001000 000100-1-1	00-100	11	000100	000100	10	1-1-1	0-0-0
11 00 010000 000010 010000 000010-1-1	00-100	00	000010	000010	10	1-1-1	0-0-0
11 01 100000 000001 100000 000001-1-1	00-100	01	000001	000001	10	1-1-1	0-0-0



## 11. 芯片应用说明

### 11.1 单路典型应用图

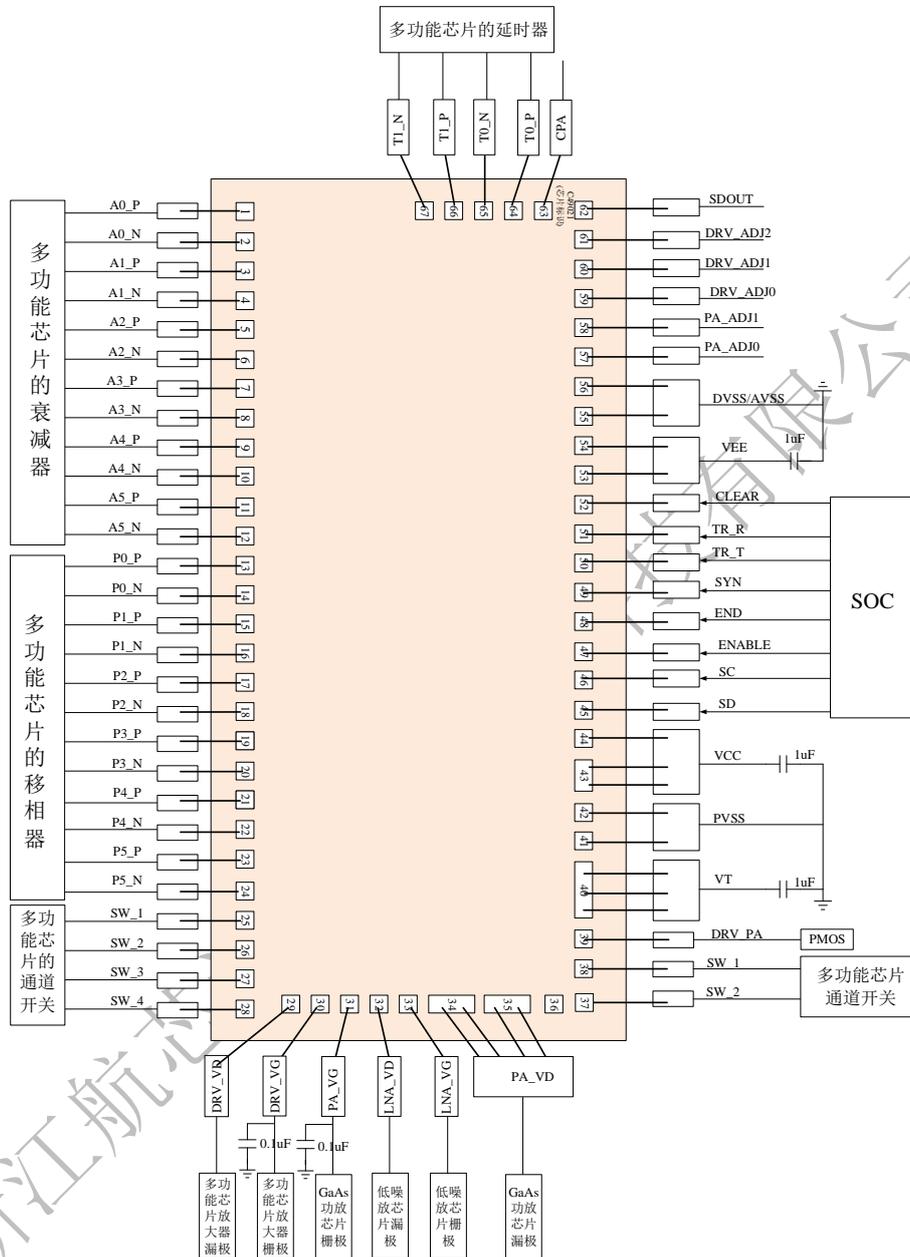


图 7 C49023RH 工作推荐电路

### 11.2 单路应用说明

- 1) VT、VCC、VEE 分别接+8V、+5V、-5V 的电压；
- 2) DRV\_VG 接多功能芯片放大器的栅极，供电不能超过 0.1mA，可通过 DRV\_ADJ[2:0]进行-0.5V ~ -0.85V 范围的选择；
- 3) DRV\_VD 接 200mA 以下多功能芯片放大器的漏极；



- 4) LNA\_VG 接低噪放的栅极，供电不能超过 0.5mA；
- 5) LNA\_VD 接 200mA 以下低噪放的漏极；
- 6) PA\_VG 接 GaAs 功放的栅极，供电不能超过 2mA，可通过 PA\_ADJ[1: 0]进行-0.7V ~ -0.85V 范围的选择；
- 7) PA\_VD 接 800mA 以下 GaAs 功放的漏极；
- 8) T[1:0]\_P/N 接多功能芯片相应的延时器，供电不能超过 1mA；
- 9) A[5:0]\_P/N 接多功能芯片相应的衰减器，供电不能超过 1mA；
- 10) P[5:0]\_P/N 接多功能芯片相应的移相器，供电不能超过 1mA；
- 11) SW[4:1]接多功能芯片相应的通道开关，供电不能超过 1mA；
- 12) 芯片内部有上电复位功能，若不需要外部进行寄存器清零，CLEAR 引脚可悬空。

### 11.3 级联应用图

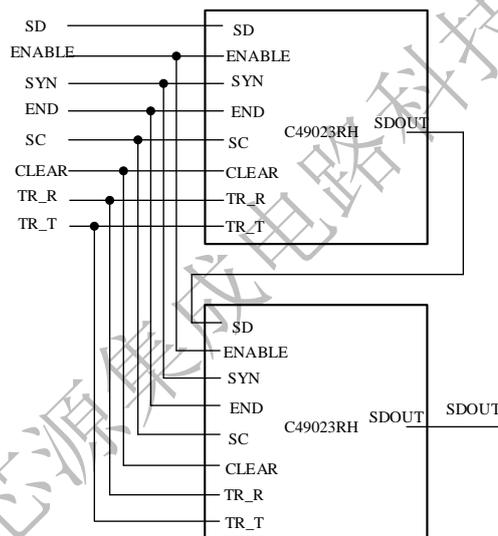


图 8 C49023RH 级联应用图

### 11.4 级联应用说明

- 1) 2 颗芯片级联应用时，芯片的 VT、VCC、VEE、GND、ENABLE、SYN、END、SC、CLEAR、TR\_R、TR\_T 需对应相连；
- 2) 第一颗芯片的 SDOUT 与第二颗芯片的 SD 相连，可一次性串行输入 56 位数据，前 28 位将锁存在第二颗芯片中，后 28 位将锁存在第一颗芯片中；
- 3) 级联时，级联时，SC 时钟信号必须先有下降沿再有上升沿，即先将寄存器中末尾数据输出，再输入新的一位数据，原有数据依次后移一位，否则只有第一颗芯片的锁存正确，后面芯片的锁存将混乱；
- 4) 更多颗芯片的级联以此类推。



## 12. 注意事项

### 12.1 产品安装注意事项

- 1) 芯片键合区主要材料为铝，适宜于键合工艺，键合材料推荐硅铝丝，若使用金丝，在芯片装配、使用过程中需控制金铝化合物产生；
- 2) 芯片背面未金属化，可采用导电胶粘接；
- 3) 芯片背面为-5V 电位，装配时推荐悬空，请勿通过背面输入-5V 电压。

### 12.2 产品使用注意事项

- 1) 所有数字输入（DRV\_ADJ[2: 0]、PA\_ADJ[1: 0]、CLEAR、TR\_R、TR\_T、SYN、END、ENABLE、SC、SD）内部均与 VCC 有 1MΩ 电阻弱上拉，即悬空时状态默认为高；
- 2) 器件不能超过极限工作条件使用；
- 3) 电源去耦：应在靠近器件电源引出端处采用大于等于 1μF 电容。此外，线路板布线应尽量短，尽量避免直角、锐角走线；
- 4) 电路使用时应先接电源端，再接输入端，**电源端建议按照 VEE、VCC、VT 的顺序上电，按照 VT、VCC、VEE 的顺序下电**，同时应尽量避免电源、地线上的干扰。
- 5) 工作时先检查电源、地是否接触良好后再接通器件电源。

### 12.3 产品防护注意事项

- 1) 本产品可以抗 1000V 静电击穿，使用时应注意避免静电损伤，操作人员戴接地防静电手环，操作台面、操作设备接地良好，拿取芯片时，最好使用真空吸笔，以免损伤芯片；
- 2) 真空包装好的芯片应贮存在温度 10℃ 到 30℃，相对湿度 20%~70% 的环境中，周围没有酸、碱或者其它腐蚀气体，通风良好，且具备相应防静电措施；在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



### 13. 版本说明

产品型号	编制时间	版本编号	修订记录
C49023RH	2021.10.14	Rev.1	初始版本
C49023RH	2022.04.11	Rev.2	统一修正

浙江航芯源集成电路科技有限公司